

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354811

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 C

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

H 0 1 L 21/336

H 0 1 L 29/78

6 1 6 V

6 2 7 E

審査請求 有 発明の数 1 O L (全 6 頁)

(21) 出願番号 特願平10-273738
(62) 分割の表示 特願昭62-239645の分割
(22) 出願日 昭和62年(1987) 9月24日

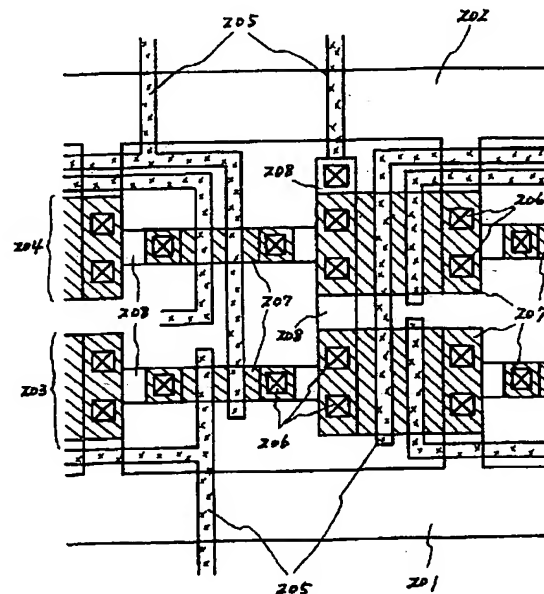
(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 岡 秀明
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 薄膜トランジスタ装置

(57) 【要約】

【課題】 水素化処理された薄膜トランジスタによりダメージのない高性能な回路装置を提供する。

【解決手段】 複数の同一導電型の薄膜トランジスタは水素化処理された多結晶シリコン層からなり、基板の周辺に配置された薄膜トランジスタは数個毎に島状に分離形成されてなり、前記同一導電型の薄膜トランジスタのソース又はドレイン領域の一方又は他方同士を接続するための接続配線が前記多結晶シリコン層とは別部材により形成されてなることを特徴とする。



【特許請求の範囲】

【請求項1】 基板上に複数の同一導電型の薄膜トランジスタが形成され、前記同一導電型の薄膜トランジスタのソース又はドレイン領域の一方が電源ラインに接続されてなる薄膜トランジスタ装置において、前記複数の同一導電型の薄膜トランジスタは水素化処理された多結晶シリコン層からなり、前記基板の周辺に配置された薄膜トランジスタは数個毎に島状に分離形成されてなり、前記同一導電型の薄膜トランジスタのソース又はドレイン領域の一方又は他方同士を接続するための接続配線が前記多結晶シリコン層とは別部材により形成されてなることを特徴とする薄膜トランジスタ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ(TFT)装置に関する。

【0002】

【従来の技術】多結晶シリコン(Poly-Si)を素子材としたTFTは、非晶質シリコン(a-Si)を素子材としたTFTと比べて、易動度が1~2ケタ程度高く、ON電流が高くとれる為、液晶表示装置、個体撮像装置等の走査回路(シフトレジスタ)としての応用が進んでいる。(IEEE Trans Electron Devices, ED-32, No. 8, P. 1546 (1985))近年、液晶表示装置、固体撮像装置(例えば、一次元の密着型イメージセンサ)共、大型化、高解度化の要望が高まり、走査回路の高速化をはかる必要が生じている。そこで、Poly-Si膜のグレインバウンダリー(結晶粒界)に存在する欠陥を水素プラズマ処理、水素イオンインプラ等の方法で、水素化すること

【0003】

【発明が解決しようとする課題】しかし、Poly-Si TFTを水素プラズマ、水素イオンインプラ等で水素化した場合、ウエーハー端近傍のしかも、Poly-Si層102のパターンが連続的につながったPoly-Si TFTの特性が異常となる現象が明らかとなった。

【0004】

【課題を解決するための手段】本発明は、基板上に複数の同一導電型の薄膜トランジスタが形成され、前記同一導電型の薄膜トランジスタのソース又はドレイン領域の一方が電源ラインに接続されてなる薄膜トランジスタ装置において、前記複数の同一導電型の薄膜トランジスタは水素化処理された多結晶シリコン層からなり、前記基板の周辺に配置された薄膜トランジスタは数個毎に島状に分離形成されてなり、前記同一導電型の薄膜トランジスタのソース又はドレイン領域の一方又は他方同士を接続するための接続配線が前記多結晶シリコン層とは別部材により形成されてなることを特徴とする。

【0005】

【発明の実施の形態】図1に本発明の実施例における薄膜トランジスタの製造工程図の一例を示す。

【0006】図1において、(a)は絶縁基膜101上にPoly-Si層102を形成し、各TFTを島状に分離する様にパターン形成する工程、(b)はゲート絶縁膜103、ゲート電極104、ソース・ドレイン領域105、層間絶縁膜106を形成する工程、(c)は水素プラズマ処理、水素イオンインプラ等の方法で、Poly-Si層102'を水素化する工程、(d)は該層間絶縁膜106にコンタクト穴107を開け、配線パターン108を形成する工程である。

【0007】図2は、本発明の薄膜トランジスタ走査回路の平面図の一部を示す。走査回路はCMOS構造のシフトレジスタで、インバータ及びクロックインバータ等で構成されている。図2は、クロックインバータ部の一部の平面図の一例を示してある。

【0008】図2において、201はVDDライン、202はVSSライン、203はPチャンネルTFT、204はNチャンネルTFT、205はゲート電極、206はコンタクト穴、207(図の斜線部)は、各TFTごとに分離されたPoly-Si層のパターンを、208は配線パターン(VDD、VSSと同一材料)を示す。

【0009】図3に、薄膜トランジスタ回路を構成するでTFTの特性図を示す。

【0010】図3において、301は、本発明に基づく、Poly-Si層を島状に分離したTFTより成るシフトレジスタ内部のTFTの特性を示す。又、302は図4に示す様に、Poly-Si層が帯状につながっている場合のシフトレジスタ内部のTFTの特性を示す。尚、図3は、NチャンネルでTFTの特性を示してあり、縦軸は、ソース(S)-ドレイン(D)間の電流IDSを、横軸は、ソース(S)-ゲート(G)間に印加する電圧VGSを示す。測定は、ソース(S)-ドレイン間の電圧VDS=5Vで行った。又、測定したTFTは、301、302共基板(ウエーハー)端からの距離が9mmの場所(最も端)のTFTを測定した。

【0011】図4は、図3 302にその特性を示した従来型の薄膜トランジスタ走査回路の平面図の一部を示す。401はVDDライン、402はVSSライン、403はPチャンネルTFT、404はNチャンネルTFT、405はゲート電極、406はコンタクト穴、407(図の斜線部)は帯状につながったPoly-Si層を、408は配線パターン(VSS、VSSラインと同一材料)を示す。

【0012】図3より、シリコン層をTFTごとに分離することにより、水素プラズマ処理、水素イオンインプラ等の水素化を行なう工程でのダメージ(TFTのVth(スレッショールド電圧)のシフト等)が無くなり、

高性能なTFT走査回路を再現性よく作製できる様になった。

【0013】図5は、図4に示したPoly-Si層が帯状につながった薄膜トランジスタ走査回路を構成するTFTの特性図で、基板（ウェーハ）端からの距離が異なるTFTについて調べたものである。図5において、501は、基板端から9mmの場所にあるTFTの特性を、502は基板端から14mmのTFTを、又、503は基板端から200mmのTFTの特性を示す。図5より、Poly-Siが帯状につながったTFTでは、基板端に近づく程、ダメージが大きくなる傾向があり、ある程度基板端から離れると、ほとんどダメージを受けないことがわかる。一方、図3に示した様に、Poly-Si層を分離した場合は、基板端近くでもダメージを受けないことから、ウェーハ端に近い部分のTFTを図2に示す様に分離することが特に有効であることがわかる。

【0014】又、前記実施例では各TFTをそれぞれ分離する例を示したが、この他にも、数個のTFTを1つのPoly-Siの島上に形成し、数個ごとにTFTを分離して形成する方法もTFTが受けるダメージの低減に効果があり、各TFTをそれぞれ分離した場合と比べて、TFTのパターン寸法を小さくできるメリットがある。さらに、TFTを分離して形成する方法は水素プラズマ、水素イオンインブラ等のダメージの他にも、ドライエッチング等のダメージに対してもその低減に有効である。

【0015】

【発明の効果】以上述べた様に、本発明によれば、水素化を行なう工程でTFTが受けるダメージを大巾に低減でき、高性能な走査回路を再現性良く作製できる様になった。これは、大型で高解像度の固体撮像装置、液晶表

示装置等の実現にとって極めて有効な手段となる。尚、本発明は、走査回路に限らずPoly-Si TFTにより構成された回路、例えば、ロジック回路、増巾回路、メモリ回路等巾広く応用することができる。

【図面の簡単な説明】

【図1】(a)～(d)は本発明の薄膜トランジスタの製造工程図の一例である。

【図2】本発明の薄膜トランジスタ走査回路の平面図の一部である。

【図3】薄膜トランジスタ走査回路を構成するTFTの特性図である。

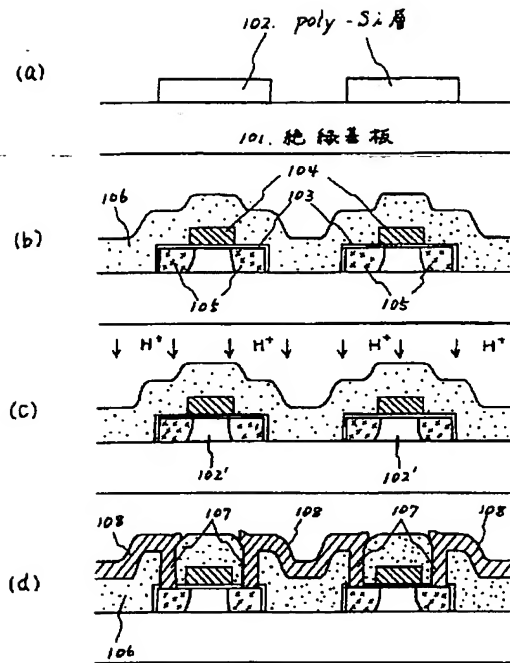
【図4】従来型の薄膜トランジスタ走査回路の平面図の一部である。

【図5】図4に示した薄膜トランジスタ走査回路を構成するTFTの特性図である。

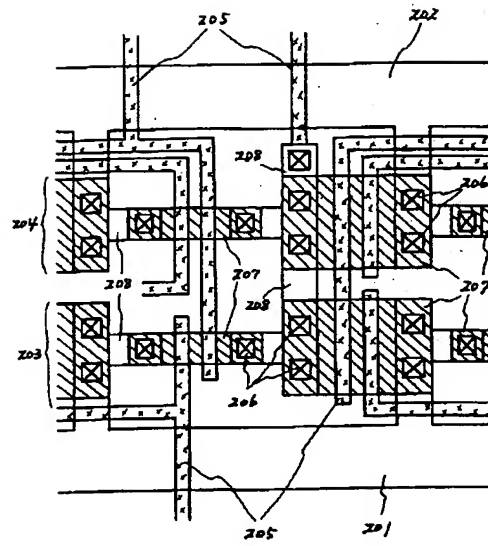
【符号の説明】

101.....絶縁基板
102.....Poly-Si
103.....ゲート絶縁膜
104.....ゲート電極
105.....ソース・ドレイン領域
106.....層間絶縁膜
108.....配線パターン
201, 401.....VDDライン
202, 402.....VSSライン
203, 403.....PチャンネルTFT
204, 404.....NチャンネルTFT
205, 405.....ゲート電極
206, 406.....コンタクト穴
207.....分離されたPoly-Si層
407.....帯状につながったPoly-Si層
208, 408.....配線パターン

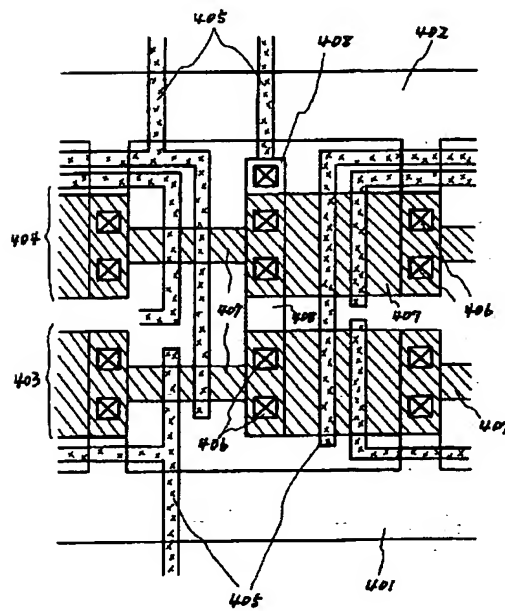
【図1】



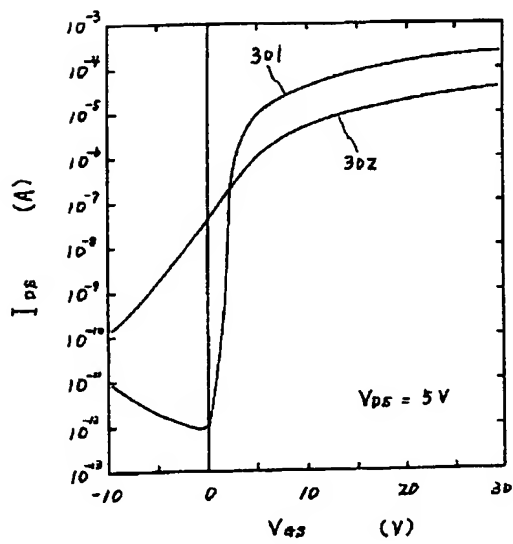
【図2】



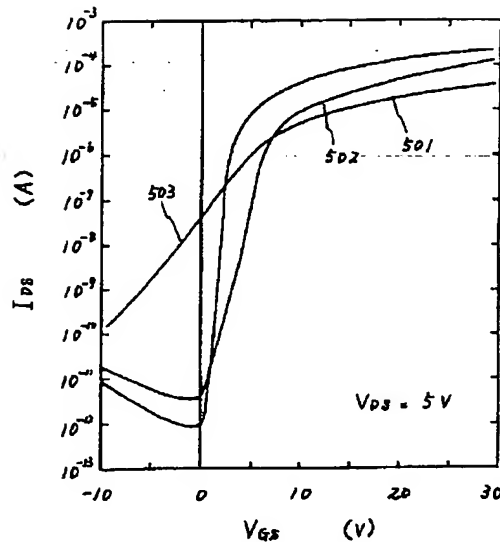
【図4】



【図3】



【図5】



【手続補正書】

【提出日】平成10年10月9日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】

【発明の実施の形態】（参考例）図1に本発明の参考例における薄膜トランジスタの製造工程図の一例を示す。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】図5は、図4に示したPoly-Si層が帯状につながった薄膜トランジスタ走査回路を構成するTFTの特性図で、基板（ウェーハ）端からの距離が異なるTFTについて調べたものである。図5において、501は、基板端から9mmの場所にあるTFTの特性を、502は基板端から14mmのTFTを、又、503は基板端から200mmのTFTの特性を示す。図5より、Poly-Siが帯状につながったTFTでは、基板端に近づく程、ダメージが大きくなる傾向があり、ある程度基板端から離れると、ほとんどダメージを受けないことがわかる。一方、図3に示した様に、Poly-Si層を分離した場合は、基板端近くでもダメージ

ジを受けないことから、ウェーハ端に近い部分、つまり基板の周辺部分のTFTを図2に示す様に分離することが特に有効であることがわかる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】（実施例）上述の参考例では各TFTをそれぞれ分離する例を示したが、本実施例では、同様な構成を有し、異なる構成は数個のTFTを1つのPoly-Siの島上に形成し、数個ごとにTFTを分離して形成する点である。この場合もTFTが受けるダメージの低減に効果があり、各TFTをそれぞれ分離した場合と比べて、TFTのパターン寸法を小さくできるメリットがある。さらに、TFTを分離して形成する方法は水素プラズマ、水素イオンインプラ等のダメージの他にも、ドライエッチング等のダメージに対してもその低減に有効である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】

【発明の効果】以上述べた様に、本発明によれば、複数

の同一導電型の薄膜トランジスタを構成する多結晶シリコン層が島状に分離形成されてなり、前記同一導電型の薄膜トランジスタのソース又はドレイン領域の一方同士又は他方同士を接続するための接続配線が前記多結晶シ

リコン層とは別部材により形成されているため、水素化の際に薄膜トランジスタが受けるダメージを低減することができる。